

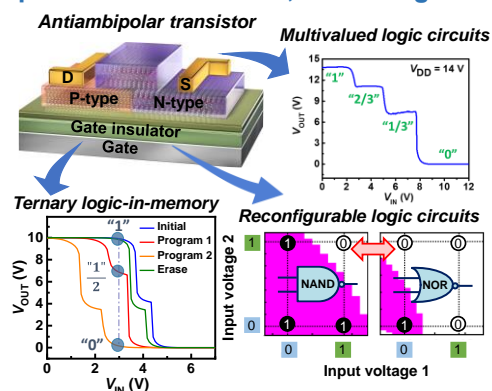
Accounts of Materials & Surface Research

Multifunctional logic circuits constructed by organic antiambipolar transistors

Ryoma Hayakawa, Debdatta Panigrahi, Yutaka Wakayama*

Research Center for Materials Nanoarchitectonics (MANA), National Institute for Materials Science
1-1 Namiki, Tsukuba, Ibaraki 305-0044, Japan
WAKAYAMA.Yutaka@nims.go.jp

Organic integration circuits (ICs) hold promises for future smart society technologies due to their benefits involving mechanical flexibility and low-cost production. However, the integration density of organic ICs remains low because of the incompatibility with current lithography techniques. Thus, a new strategy is prerequisite to achieve high-performance organic ICs. In this regard, we developed unique logic circuits using antiambipolar transistors (AATs). An AAT has a partially overlapped p–n junction, exhibiting remarkably high negative differential resistance. Owing to this feature, multifunctional logic circuits, e.g., multivalued logic circuits, ternary logic-in-memory, and reconfigurable two-input logic circuits, have been demonstrated. These achievements are attractive to realize innovative organic ICs.



Keyword: Antiambipolar transistors, Negative differential resistance, Multivalued logic circuits, Logic-in-memory, Reconfigurable two-input logic circuits

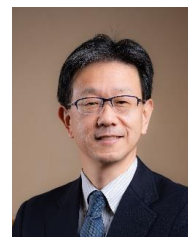
Ryoma Hayakawa is a principal researcher in Research Center for Materials Nanoarchitectonics (MANA), National Institute for Materials Science (NIMS). He received Ph.D. from Osaka Prefecture University in 2006. Then, he earned Japan Society for the Promotion of Science fellowship in 2006. After working as research fellows in International Center for Young Scientist in 2010 and MANA in 2012, he took the current position in 2016. His research interest is to develop unique organic devices.



Debdatta Panigrahi received his Ph.D. from Indian Institute of Technology Kharagpur, India in 2019. Then, he joined National Institute for Materials Science (NIMS), Japan as a postdoctoral researcher in 2020, where he worked on developing flexible and optically controllable multi-valued logic circuits and logic-in-memory devices. He was awarded the Japan Society for the Promotion of Science (JSPS) fellowship in 2021. Currently, he holds a postdoctoral position at Technion-Israel Institute of Technology, Israel.



Yutaka Wakayama served at Asahi Glass Company as a research engineer from 1989 to 1994 and a research member at ERATO Project from 1994 to 1998. He received his Ph. D. from the University of Tsukuba in 1998. After working as a post-doctoral fellow at the Max-Planck Institute for Microstructure Physics (Germany) from 1998 to 1999, he joined the National Institute for Materials Science (NIMS). Now, he is working as office chief of Research Center for Materials Nanoarchitectonics (MANA) of NIMS. His current research interests are functional transistors and nanoelectronics using organic molecules and 2D materials



有機アンチ・アンバイポーラトランジスタを用いた多機能論理回路

早川 竜馬, Panigrahi Debdatta, 若山 裕

物質・材料研究機構 ナノアーキテククス材料研究センター

1. はじめに

現在の有機エレクトロニクスは、フレキシブルエレクトロニクスという言葉に代表されるように有機材料の持つ軽量性、柔軟性、簡易な成膜性といった特徴を活かしたデバイス開発が主流となっている。折り曲げられる有機 EL ディスプレー、壁に掛けられる太陽電池、体に張り付けられるヘルスケアセンサーなどがその代表例となる¹⁻³⁾。一方、有機トランジスタを中核とする有機集積回路は、Internet of Things (IoT) 社会の実現に向けて電子タグや様々なセンサーからの信号をリアルタイムに処理する A/D コンバーターとしての応用が期待されている⁴⁻⁶⁾。現在では 5 cm 四方に 100 個程度のトランジスタを集積した A/D コンバーターが実証されているが、有機デバイスでは、既存のリソグラフィ技術が適用できないため、その素子サイズは未だサブ mm 程度と大きく、集積密度は依然として低い^{5,7)}。そのため、素子の微細化だけに依存しない有機集積回路の高性能化が求められている。

上記背景から、我々は有機pn接合を利用したアンチ・アンバイポーラトランジスタ (antiambipolar transistor: AAT) と呼ばれる特殊な有機トランジスタを開発し、室温で 3~4 桁に及ぶドレイン電流の増減現象 (負性抵抗) を観測することに成功した⁸⁻¹⁰⁾。この AAT が示す特異な伝導特性を利用し、従来の CMOS デバイスでは実現することが困難な新規論理回路を実証してきた。3 値、さらに 4 値インバータに代表される多値論理回路¹¹⁻¹⁴⁾、有機不揮発性メモリと 3 値ロジック回路を融合した多値ロジックインメモリ¹⁵⁾、さらにデュアルゲート型 AAT を用いた再構成可能な 2 入力論理回路¹⁶⁾など革新的な論理演算素子を実証してきた。本稿では、上記取り組みについて紹介すると共に今後の課題について解説する。

2. アンチ・アンバイポーラトランジスタ

AAT の素子構造とトランジスタ特性の模式図を図 1 に示す。本素子の特徴は、p 型半導体と n 型半導体を一部分重ね合わせた pn 接合をトランジスタチャネル内に有する点である。この特長により、ゲート電圧の増加に伴いドレイン電流が減少する負性抵抗を示す。重要な事は、このドレイン電流の減少量が“室温”で 2 桁から 5 桁に達する点である^{17,18)}。既存の負性抵抗素子として代表的なトンネルダイオードや量子井戸・量子ドットを利用した量子効果トランジスタでは、室温での電流減少量が 1~2 桁程度であることから¹⁹⁻²¹⁾、まさに桁違いの電流変化量と言える。

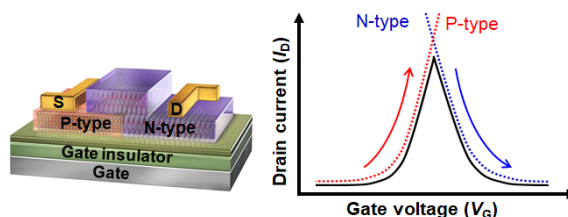


Figure 1. (a) Illustration of the basic device structure and the fundamental I_D - V_G curve of AATs, where the source and drain electrodes are formed on p-type and n-type semiconductors, respectively.

AAT に関する研究は 2006 年に Vusser らが提案した有機発光トランジスタに端を発する²²⁾。発光トランジスタのチャネル部に図 1 に示す AAT 構造を採用したのが始まりである。ちなみにアンチ・アンバイポーラトランジスタという名前は、2013 年に Jariwala らが AAT において見られる Δ 型のドレイン電流特性がアンバイポーラトランジスタの V 字型のドレイン電流特性を“上下反対”にした形に類似することから命名した²³⁾。以降、有機、無機材料問わず多種多様な材料を用いて研究開発が進められている²⁴⁻²⁶⁾。

3. 有機 AAT の基礎特性とキャリア伝導機構

我々は、有機材料の持つ豊富な材料選択性とエネルギー準位の制御性に着目し、有機 AAT に関する研究開発を進めている。図 2(a) に有機 AAT の典型的な素子構造と光学顕微鏡像を示す⁸⁾。ゲート電極として高濃度ドーパ Si 基板を用い、200 nm のシリコン酸化膜 (SiO_2) をゲート絶縁膜として用いている。まず始めに、 SiO_2/Si 基板を有機溶剤により洗浄した後、キャリアトラップサイトになる酸化膜表面の OH 基の影響を除去するため、10 nm の polymethyl methacrylate (PMMA) をスピコート法により成膜した。続いて p 型半導体には α -sexithiophene (α -6T)、n 型半導体には N,N' -Di-n-octyl-3,4,9,10-perylenetetracarboxylic Diimide (PTCDI-C8) を採用し、真空蒸着法により形成した。蒸着時にコンタクトマスクを用い、p 型半導体層と n 型半導体層をチャンネル中央部で一部分重ね合わせた pn 積層構造 (pn 接合) を形成した。最後にソース・ドレイン電極として Au 電極を真空蒸着し、AAT を作製した。

図 2(b) に SiO_2/PMMA 絶縁膜上に形成した有機 AAT のドレイン電流 (I_D) - ゲート電圧 (V_G) 特性を示す。ここで、 α -6T 上の Au 電極をソース電極、PTCDI-C8 上の Au 電極をドレイン電極としている。また、ドレイン電圧 (V_D) は -60 V とした。負のゲート電圧を印加すると $V_G = -30$ V (V_{on}) からドレイン電流が流れ始め $V_G = -40$ V (V_{peak}) まで増加した。さらにゲート電圧を増加すると、ドレイン電流は減少に転じ、 $V_G = -52$ V (V_{off}) に極小値を持つ負性抵抗を示した。

この特異な伝導特性の起源について、トランジスタ特性の解析、デバイスシミュレーション、光電子顕微鏡およびケルビンプローブフォース顕微鏡を用いたオペランド計測から検討してきた²⁷⁻³⁰⁾。その結果、CMOS インバータで観測される貫通電流と同じ機構で負性抵抗が発現していることが明らかになった。これは、AAT のチャンネル層が p 型半導体領域、pn 積層領域、n 型半導体領域から構成されているため、pn 積層領域を一種の抵抗と考えると、p 型トランジスタと n 型トランジスタの直列回路となることに起因する。

図 2(c) にキャリア伝導機構の模式図を示す。

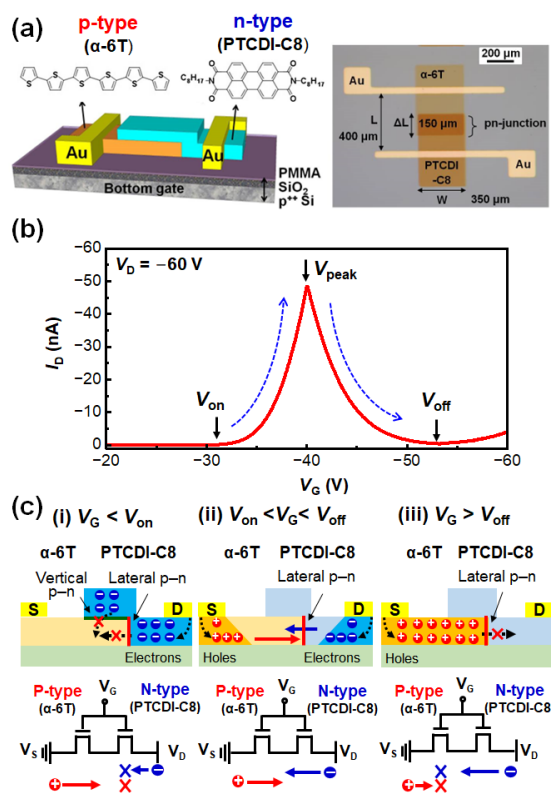


Figure 2. (a) Device structure and optical microscope image of the organic AAT. (b) I_D - V_G curve of the AAT. (c) Carrier transport mechanism of the AAT. Reprinted with permission from Ref. 8; copyright 2017 and Ref. 28; copyright 2022, Wiley-VCH GmbH.

(i) $V_G < V_{\text{on}}$ (図 2(c)(i)) では、p 型半導体層は閾値電圧以下のため、オフ状態となる。一方、n 型半導体層では、 V_D - V_G に対応するゲート電圧が印加されているため、ドレイン電極から n 型半導体層へ電子注入が生じ、半導体層内に蓄積する。しかしながら、pn 接合界面にはエネルギー障壁が存在するため電子伝導は阻害され、系全体としてドレイン電流は抑制される。続いて (ii) $V_{\text{on}} < V_G < V_{\text{off}}$ (図 2(c)(ii)) では、両方の半導体層がオン状態となるため、p 型半導体層から n 型半導体層へ正孔電流、n 型半導体層から p 型半導体層へ電子電流が流れ、ドレイン電流として観測される。重要な事は、p 型半導体と n 型半導体の直列回路であるため、高抵抗の半導体層にドレイン電流が律速する点である。図 2(b) の場合では、 $V_{\text{on}} < V_G < V_{\text{peak}}$ までは正孔電流、 $V_{\text{peak}} < V_G < V_{\text{off}}$ では電子電流によりドレイン電流

が律速されるため、p 型半導体層と n 型半導体層の I_D-V_G 特性の重ね合わせとして AAT のピークドレイン電流を再現できる。また、もう一つ重要な点は、両キャリアは面内 pn 接合を介して流れることである。これは、有機分子が基板に垂直方向に配向するため、面内でのキャリア伝導が支配的となるためだと考えられる。最後に(iii) $V_G > V_{off}$ (図 2(c)(iii)) では p 型チャネルはオン状態であるが、n 型チャネルはオフ状態となるため、ドレイン電流は抑制され、負性抵抗を示す。

このように AAT では p 型半導体層と n 型半導体層の I_D-V_G 特性の重ね合わせとしてドレイン電流が観測される。この特長を活かして、以下に示す様々な論理回路へ展開した。

4. 多値論理回路

4-1. 3値論理回路

AAT を利用した論理回路の代表例として多値論理回路が挙げられる。多値論理回路は、シリコン集積回路で古くから検討されてきたが、3 値インバータ動作を実現するだけで 6 個程度のトランジスタを必要とする³¹⁾。そのため、回路設計が複雑となり多値化によるメリットが得られず、現在でも実用化には至っていない。また、単電子トランジスタや量子井戸型トランジスタに代表される量子効果トランジスタにおいて、離散したエネルギー準位を利用した多値論理回路が提案されてきた³²⁻³⁴⁾。幾つかの系で室温動作が報告されているが、トンネル伝導を利用するため室温での安定動作という点で課題がある。一方、我々の提案する 3 値インバータは、通常の CMOS インバータの p 型トランジスタを AAT に置き換えた単純な回路構成で実現できる¹¹⁻¹³⁾。

図 3 (a) に有機 AAT を用いた 3 値インバータの素子構造を示す。ここで高濃度ドーピング Si 基板を入力電極として用いている。n 型半導体である PTCDI-C8 上にソース電極、p 型半導体である α -6T 上にドレイン電極、その中間に出力電極を設置した。本素子で重要な点は、図 3 (a) に示すように AAT と PTCDI-C8 トランジスタの直列回路から構成されているため、印加したドレイン電圧 (V_{DD}) は、入力電圧 (V_{IN}) に対応した 2 つのトランジスタの抵抗比に分配され、出力電

圧 (V_{OUT}) として表示されることである。したがって、 V_{IN} に対する各トランジスタの I_D-V_G 特性を評価することが上記インバータ動作を理解する上で重要となる。

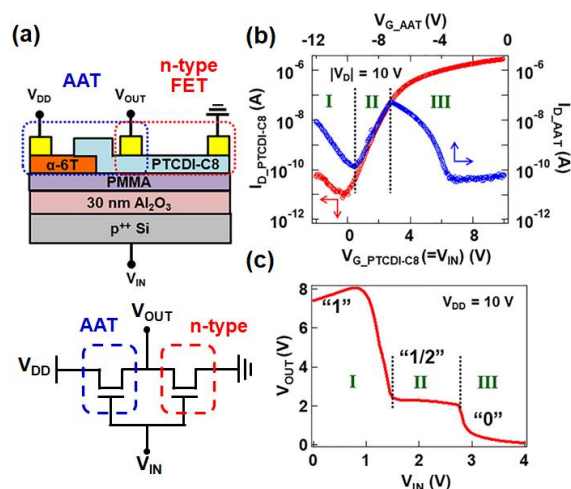


Figure 3. (a) Schematic illustration and equivalent electrical circuit of the ternary inverter. (b) I_D-V_G curves of the AAT (blue line) and the PTCDI-C8 transistor (red line). (c) Voltage transfer curve of the ternary inverter. Reprinted with permission from Ref. 11; copyright 2018, American Chemical Society.

図 3 (b) に AAT と PTCDI-C8 トランジスタの I_D-V_G 特性を示す。ここで PTCDI-C8 トランジスタに印加されるゲート電圧は V_{IN} 、AAT に印加されるゲート電圧は $V_{DD}-V_{IN}$ となる点に注意が必要である。PTCDI-C8 トランジスタのドレイン電流 (赤線) は入力電圧の増加に伴って単調に増加するが、AAT のドレイン電流 (青線) は、初め減少した後、増加に転じ、再び減少する。この両トランジスタのドレイン電流の挙動の違いから I_D-V_G 特性は 3 つの異なる V_{IN} 領域 (I, II, III) に分けることができる。このドレイン電流の大小関係を反映して $V_{IN}-V_{OUT}$ 特性に“1”, “1/2”, “0”に対応する 3 つの異なる電圧が出力され、3 値インバータとして機能した (図 3 (c))。領域 I では、AAT がオン状態である一方、PTCDI-C8 トランジスタはオフ状態となるため、ドレイン電極と出力電極が短絡し、 V_D が出力電圧 (V_{out}) として表示される (論理値 “1”)。続いて領域 II では、

双方のトランジスタにドレイン電流が流れるため、 V_D はAATとn型トランジスタの抵抗比に分配され中間電圧(論理値“1/2”)として出力される。領域IIIでは、n型トランジスタがオン状態である一方、AATはオフ状態となるため、ソース電極と出力電極が短絡し、出力電圧は0V(論理値“0”)となる。このようにAATとn型トランジスタを組み合わせた単純な回路構成で3値インバータ動作を実証した。

4-2. 4値論理回路への拡張

4-1. においてAATを用いて3値インバータを実証できることを紹介した。この成果は、AATの示すピークドレイン電流の数を増加できれば、さらなる多値化が実現できることを示している。この目的に対し、異なるn型半導体を積層し、AATチャンネル内に2つの面内pn接合を形成した(図4(a))¹⁴。ゲート電圧に対して、2つの面内pn接合に起因するピークドレイン電流を観測できれば、4値インバータへ応用できる。ここでn型半導体としてPTCDI-C8 (n1)およびPhC₂H₄-benzo[de]isoquinolino[1,8-h]quinolone diimide (PhC2-BQQDI) (n2)、p型半導体には高移動度半導体として知られる2,7-dioctyl[1]benzothieno[3,2-b][1]benzothiophene (C8-BTBT) (p)を用いた。

図4(b)に2つの面内pn接合を有するAATの I_D - V_G 特性を示す。従来の単一pn接合を有するAATでは、1つのピーク電流しか観測されなかったが、本素子では、 $V_G (= V_{\text{peak}1}) = -8.3$ Vおよび $V_G (= V_{\text{peak}2}) = -11.0$ Vに2つのピークを持つドレイン電流を観測した。これはPTCDI-C8とPhC2-BQQDI半導体層の閾値電圧が異なるため、 V_G に依存してキャリアの伝導経路が異なることに起因する。 $V_{\text{on}1} < V_G < V_{\text{off}1}$ では、下部のPTCDI-C8層がオン状態となるため、n1⇌p間の面内pn接合を電子と正孔が伝導する(図4(c)(i))。一方、 $V_{\text{off}1} < V_G < V_{\text{off}2}$ では、上部のPhC2-BQQDI層がオン状態となる一方、下部のPTCDI-C8層はオフ状態のため、n2⇌p間でキャリア伝導が生じる(図4(c)(ii))。 $V_G > V_{\text{off}2}$ では両方のn型半導体層がオフ状態となるため、正孔のみがC8-BTBT層を流れ、ドレイン電流は

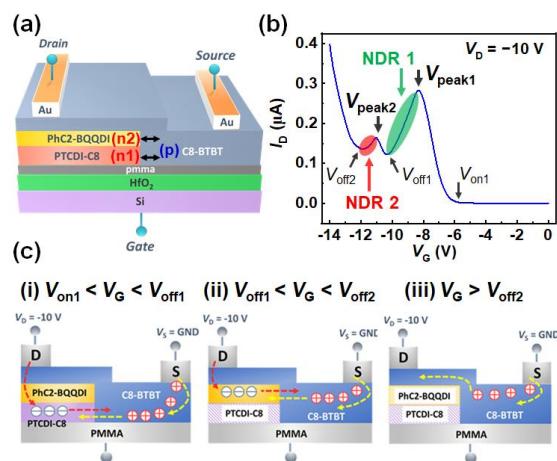


Figure 4. (a) Device structure of the AAT, where two n-type semiconductors are vertically stacked and form two lateral p-n junctions in the transistor channel. (b) I_D - V_G curve of the AAT with two lateral p-n junctions. (c) Carrier transport mechanism of the AAT. Reprinted from Ref. 14 with certain modifications; copyright 2023, Wiley-VCH GmbH.

再び増加する(図4(c)(iii))。このように異なるn型半導体層を積層することで I_D - V_G 特性に2つのピークドレイン電流を観測することに成功した。

上記成果をもとに作製した4値インバータの素子構造と等価回路を図5(a)に示す。3値インバータと同様にAATとn型トランジスタ(PTCDI-C8/PhC2-BQQDI積層トランジスタ)の直列回路から構成されている。このインバータ特性を理解するために図5(b)にAATとn型積層トランジスタの I_D - V_G 特性を示す。横軸は、 V_{IN} から各トランジスタへ配分されるゲート電圧に変換している。このAATにおける2つのピークドレイン電流の発現により、 I_D - V_G 特性は4つの領域に分けられる。この特長により、図5(c)に示す $V_{\text{IN}} - V_{\text{OUT}}$ 特性において4つの異なる電圧値が出力され、4値インバータとして機能した。ここで、図5(b)に示す2つの負性抵抗領域(NDR1,2)は図5(c)の論理値“1/3”、“2/3”に対応する。

上記成果は、異なるn型半導体を積層するという比較的簡単な手法で多値化が可能であることを示している。今後、5値、6値とさらに多値化を目指す上で重要な知見である。

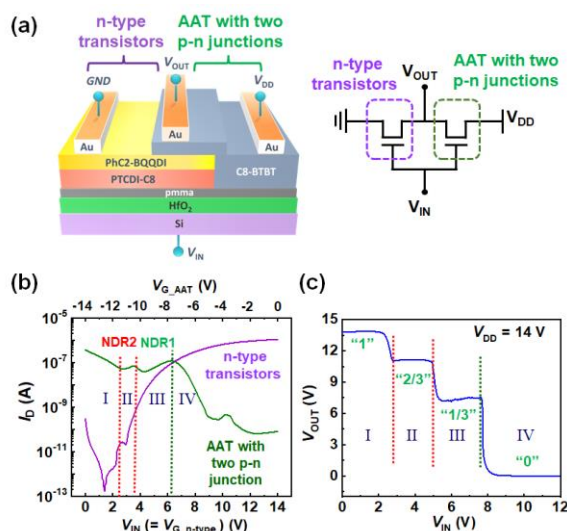


Figure 5. (a) Device structure and equivalent electrical circuit of the quaternary inverter. (b) I_D - V_G curves of the AAT with two lateral p-n junctions and n-type transistors. (c) Voltage transfer curve of the quaternary inverter. Reprinted from Ref. 14 with certain modifications; copyright 2023, Wiley-VCH GmbH.

5. 多値ロジックインメモリ

現在のノイマン型コンピューターでは、ロジックとメモリが物理的に分離しているため、演算処理に遅延が生じることが問題となっている。そのため、ロジックとメモリを混載したロジックインメモリの実現が求められている³⁵⁻³⁷。また、有機集積回路では、トランジスタやメモリサイズがサブ mm 程度であるため、素子面積を低減する上で大きな利点がある。

上記目的に対し、これまで開発してきた有機 3 値インバータと有機不揮発性メモリを融合した多値ロジックインメモリを実現することに取り組んだ¹⁵。多値ロジックインメモリの素子構造を図 6(a) に示す。n 型半導体には PhC2-BQQDI、p 型半導体には C8-BTBT を用いた。また、不揮発性メモリとして、亜鉛フタロシアニンコアスターポリマー型ポリスチレン (ZnPc-PS₄) を採用した。上記ポリマーは、フタロシアニン分子の周りに絶縁体であるポリスチレンが結合しているため、ナノフローティングゲートとして機能する。フタロシ

アン分子にトラップされた電荷を長時間保持できる利点がある³⁸⁻⁴⁰。AAT を構成する各半導体層から ZnPc-PS₄ へ同種類のキャリア (正孔または電子) を書き込むことができれば、AAT の I_D - V_G 特性を平行移動させることができるため、3 値インバータと 3 値メモリを融合した 3 値ロジックインメモリ動作を実現できる。

図 6 (b) に ZnPc-PS₄ への書き込みおよび消去操作を示す。ここで正孔を ZnPc-PS₄ に注入する操作を書き込み操作、注入した正孔を消去する操作を消去操作と定義する。書き込み操作時には $V_G = -10$ V を印加しているため、C8-BTBT 層に蓄積した正孔が ZnPc-PS₄ へ注入される (図 6 (b)(i))。一方、PhC2-BQQDI 層は空乏化しているため、キャリアは存在しない。そこで、PhC2-BQQDI 層の吸収波長 (図 6(c)) に対応する可視光を照射し、光励起により電子-正孔対を生成した。その後、生成された正孔は ZnPc-PS₄ へ注入される。続いて消去操作では、 $V_G = 10$ V を印加しながら C8-BTBT 層の吸収波長に対応した紫外光を照射した (図 6 (b)(ii))。C8-BTBT 層では光励起により生成した電子、PhC2-BQQDI 層では V_G により電氣的に蓄積した電子が ZnPc-PS₄ に注入され、トラップされていた正孔と再結合することで消去する。

実際に書き込み、消去操作を行った結果を図 6(d) に示す。初めに書き込み操作として、 $V_G = -10$ V を 20 秒間印加しながら、4 mW/cm² の可視光を照射した。その結果、AAT 素子の I_D - V_G 特性に見られる V_{peak} は初期状態の -7.5 V から -8.4 V へ平行シフトし、C8-BTBT および PhC2-BQQDI 層から ZnPc-PS₄ へ正孔が注入されていることが分かる (図 6 (d), Program 1)。さらに可視光強度を 60 mW/cm² へ増加すると、 V_{peak} はさらに -9.0 V へ段階的にシフトした (図 6 (d), Program 2)。その後、消去操作として紫外光 (1.2 mW/cm²) を照射しながら、 $V_G = 10$ V を 15 秒間印加することで初期状態の V_{peak} 位置に回帰した (図 6 (d), Erase)。これは、各半導体層から ZnPc-PS₄ 層へ電子が注入され、トラップされた正孔と再結合することで消去した結果である。このように光照射条件とゲート電圧を適宜制御することで、AAT の V_{peak} 位置を制御すること

に成功した。

この特長を利用して 3 値メモリと 3 値ロジック動作を単一素子で実証した結果を図 6 (e) に示す。まず初期状態において 3 つの異なる電圧が出力されており、3 値インバータとして動作した。

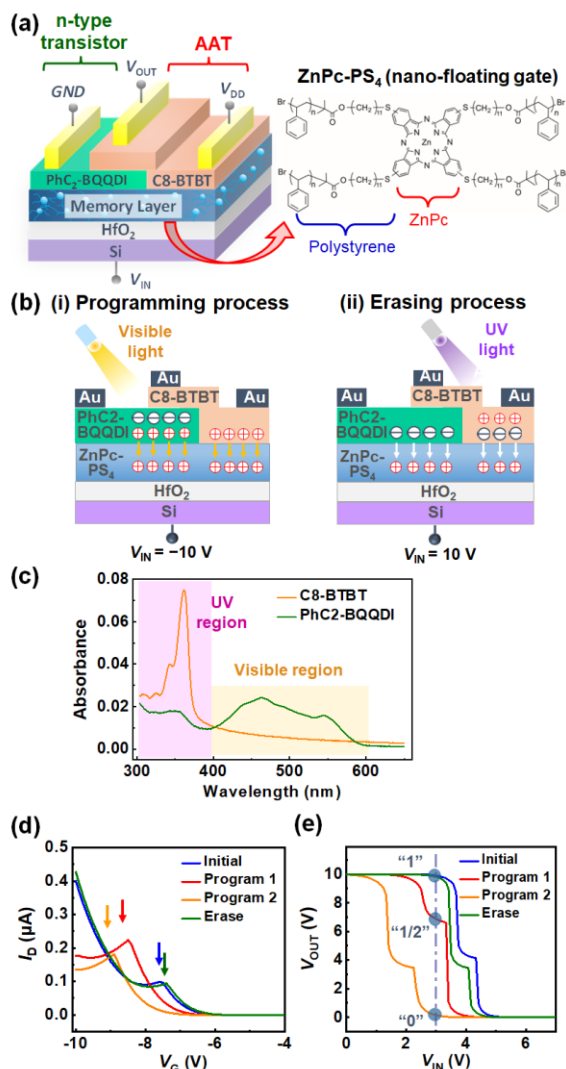


Figure 6. (a) Device structure of the ternary logic-in-memory. (b) (i) Visible-light-assisted programming and (ii) ultraviolet-light-assisted erasing processes of the logic-in-memory. (c) UV-VIS absorption spectra of C8-BTBT and PhC₂-BQQDI films. (d) I_D - V_G curves of the AAT with ZnPc-PS₄ and (e) voltage transfer curves of the ternary logic-in-memory at the initial, programmed, and erased states. Reprinted from Ref. 15 with certain modifications; copyright 2023, American Chemical Society.

さらに 2 段階の書き込み操作 (Program 1, 2) により、AAT の V_{peak} を段階的に減少させることで中間出力値 (“1/2”) の V_{IN} も減少する。ここで、 $V_{IN} = 3$ V を読み取り電圧とすると書き込み操作に対応して “0”, “1/2”, “1” の 3 つの異なる電圧が出力された。電圧を切った後も ZnPc-PS₄ 内に電荷が保持されるため、不揮発性メモリとして機能した。本成果は 3 値インバータと 3 値メモリを同一素子で実現した初めての例となる。

6. 再構成可能な 2 入力論理回路

ここまでボトムゲート型 AAT を用いた論理回路について紹介してきた。本章においては、さらにデュアルゲート型 AAT へ拡張し、2 入力論理回路へ応用した結果について述べる (図 7 (a))¹⁶。デュアルゲート構造へ拡張するためには、有機半導体層にダメージを与えることなく高品質なトップゲート絶縁膜を形成する必要がある。本素子では、フッ素樹脂として知られる CYTOP (AGC, CTL-809M) と酸化ハフニウム (HfO₂) を組み合わせることで実現した。CYTOP の溶媒となる CT-SILV180 はフッ素含有率が 76 % と高いため、通常の有機分子に対して溶解度が低い。そのため、本素子で半導体層として用いる α -6T と PTCDI-C8 を溶解することなく成膜できる。また、HfO₂ は原子層堆積法を用いて 120 °C の低温で形成できるため、有機薄膜への熱ダメージが低減できる。さらに、20 程度の誘電率を有するため良好な絶縁膜として機能する。

図 7(b) にボトムゲート電圧 ($V_{G:bottom}$) およびトップゲート電圧 ($V_{G:top}$) 掃引時のドレイン電流の 3 次元マッピングを示す。赤矢印で示しているように $V_{G:top}$ の増加に伴い、 V_{peak} が低 $V_{G:bottom}$ 方向へシフトしていることが分かる。この効果を利用して、2 入力論理回路へ応用した。ここで $V_{G:bottom}$ を入力信号 1 (V_{IN1})、 $V_{G:top}$ を入力信号 2 (V_{IN2})、ドレイン電流 (I_D) を出力信号とした。

図 7(c)-(g) に AND, OR, NAND, NOR, XOR に対応するドレイン電流の 2 次元マッピングとその対応するロジック動作を示す。ここで $0 > I_D > -7.5$ nA の場合を出力信号 “0”、 $I_D < -7.5$ nA の場合を出力信号 “1” と定義している。図 7(c) の 2 次元マッピングにおいて、 V_{IN1} および V_{IN2} がど

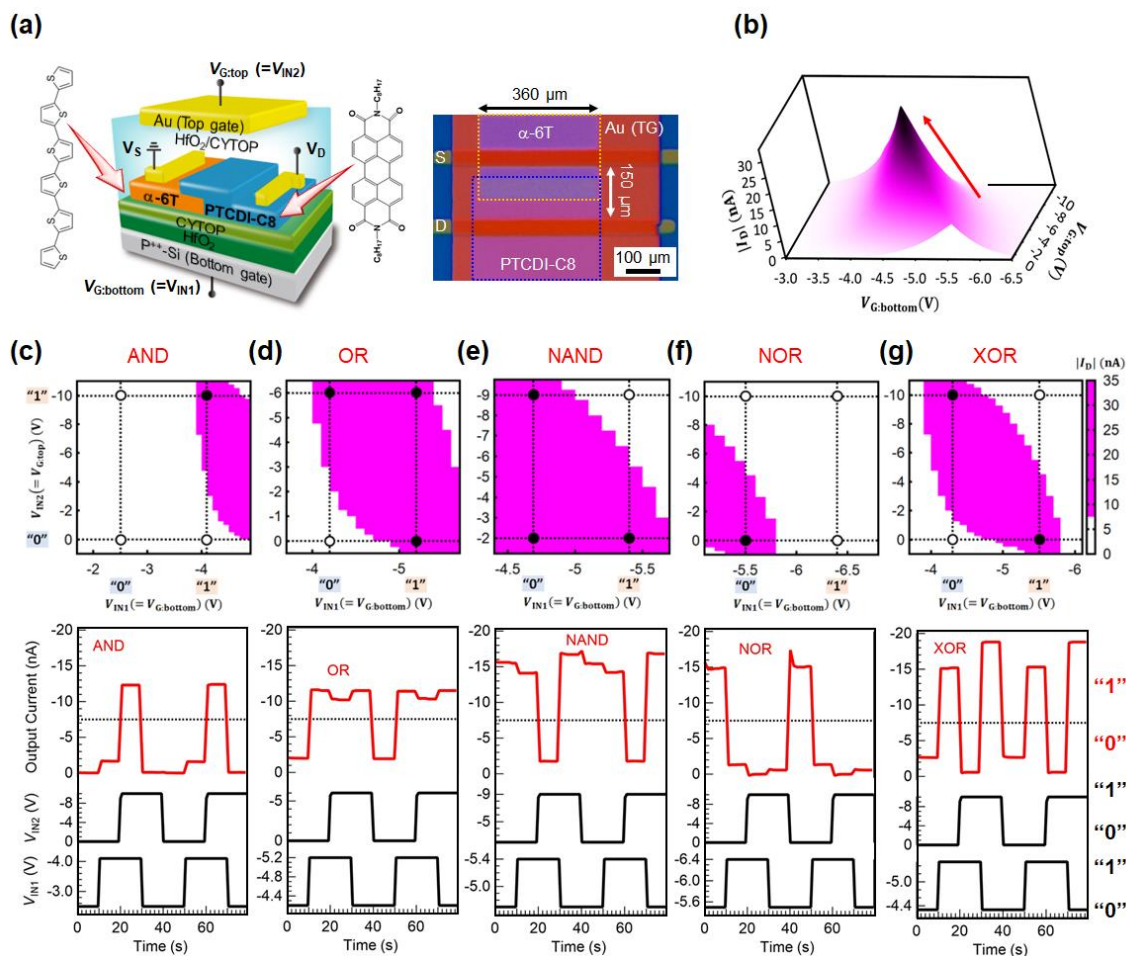


Figure 7. (a) Device structure and optical microscopy image of the dual-gate-type AAT with α -6T and PTCDI-C8 channels, respectively. (b) three-dimensional I_D mapping as functions of $V_{G:bottom}$ and $V_{G:top}$. Two-dimensional I_D mappings as functions of V_{IN1} ($= V_{G:bottom}$) and V_{IN2} ($= V_{G:top}$) and the corresponding logic circuit operations for the (c) AND, (d) OR, (e) NAND, (f) NOR, and (g) XOR. Here, the I_D mappings are shown in two distinct colors (white and purple) with a threshold of -7.5 nA. The output signal, “1” or “0,” is defined by an I_D value of above or below -7.5 nA. Reprinted with permission from Ref. 16; copyright 2022, Wiley-VCH GmbH.

ちらも“1”のときにだけ出力信号が“1”となり、AND回路として動作することが示唆される。実際に“0”と“1”に対応する入力電圧パルス (V_{IN1} , V_{IN2}) を印加すると、(V_{IN1} , V_{IN2}) = (1, 1) のときにだけ出力信号が“1”となり、AND回路として機能した。同様に入力電圧を適宜調整することで、OR, NAND, NOR, XOR回路を同一トランジスタで実証した。既存のCMOSデバイスでは、NAND回路を構成するために4個、XOR回路を構成するためには10個以上のトランジスタを必要とするが、本素子では、たった一つのトランジスタを用いて5つの論理回路を実現した。入

力電圧により、種々の論理回路を再構成できるため、大幅な素子数の削減に繋がる。微細化だけに依存しない有機集積回路の高性能化手法として期待される。今後、種々の論理回路を電氣的に切り替えられる特長を活かして、再構成可能コンピューティング技術への応用を進めていく。

7. まとめと今後の展望

現在の有機エレクトロニクスは、発光やセンシングといった比較的単純な原理で駆動するデバイス応用が中心になっている。一方で有機ラン

ジスタを中心とする演算処理デバイスの開発は高移動度半導体の開発や成膜手法の進歩により100個程度の簡易な集積回路を形成できるまでに進展している。しかしながら、実用デバイスへの応用には数千個程度のトランジスタを集積する必要があり、実現にはほど遠い。そのため、有機集積回路の性能を飛躍的に向上させる新たなブレークスルーが求められている。

我々はAATの有する特定のゲート電圧範囲でのみドレイン電流が流れるという特徴を活かし、従来の有機エレクトロニクス設計指針を変革する新規論理回路を実証してきた。多値論理回路では、AATとn型トランジスタによる直列回路を形成するだけで3値、さらには4値インバータとして機能することを実証した。また、多値ロジックインメモリでは、有機ナノフローティングゲートを用いることで、3値インバータと3値メモリを融合した多値ロジックインメモリを実現した。さらに、デュアルゲート型AATを用いた再構成可能な2入力論理回路では、既存のCMOSデバイスでは10個以上のトランジスタを必要とする論理回路動作を単一トランジスタで実証した。種々の論理回路を電氣的に切り替えられる特長を活かし、再構成可能コンピューティング技術への展開が期待される。いずれの演算素子も有機集積回路の高性能化・高集積化に繋がる成果である。

今後は駆動電圧の低減およびフレキシブルエレクトロニクスへの展開を進める。現状では10V程度の駆動電圧を必要としているが、1V以内まで低減できれば、エネルギーハーベスティングを利用したバッテリーレスな有機集積回路の開発も現実的になる。ヘルスケアセンサーなどウェアラブル機器への搭載も可能になると考えられる。高誘電率絶縁膜の探索、電荷注入層の導入による閾値電圧の低減、高移動度有機半導体の検討を進め、IoT社会を支える次世代有機集積回路の開発へ繋げていく。

8. 謝辞

本研究は、国立研究開発法人 物質・材料研究機構、ナノアーキテクニクス材料研究センター、科学研究費補助金 (No. 19H00866, 21F21052, 23H00269)、TIA かけはし (No.

TK19-21, TK22-014) およびキャノン財団からの研究助成を得て行われた。また、有機ナノフローティングゲートとして使用したZnPc-PS₄ポリマーは、物質・材料研究機構、高分子・バイオ材料研究センターの相見 順子主任研究員から提供を受けた。ご厚意に感謝する。

参考文献

- 1) M. Mizukami, S. Cho, K. Watanabe, M. Abiko, Y. Suzuri, S. Tokito, J. Kido, *IEEE Electron Device Lett.*, **2017**, *39*, 39-42.
- 2) M. Kaltenbrunner, M. S. White, E. D. Głowacki, T. Sekitani, T. Someya, N. S. Sariciftci, S. Bauer, *Nat. Commun.*, **2012**, *3*, 770.
- 3) Y. Lee, J. W. Chung, G. H. Lee, H. Kang, J.-Y. Kim, C. Bae, H. Yoo, S. Jeong, H. Cho, S.-G. Kang, J. Y. Jung, D.-W. Lee, S. Gam, S. Gyu Hahm, Y. Kuzumoto, S. J. Kim, Z. Bao, Y. Hong, Y. Yun, S. Kim, *Sci. Adv.* **2021**, *7*, eabg9180.
- 4) A. Yamamura, H. Matsui, M. Uno, N. Isahaya, Y. Tanaka, M. Kudo, M. Ito, C. Mitsui, T. Okamoto and J. Takeya, *Adv. Electron. Mater.*, **2017**, *3*, 1600456.
- 5) T. Leydecker, Z. M. Wang, F. Torricelli, E. Orgiu, *Chem. Soc. Rev.*, **2020**, *49*, 7627-7670.
- 6) Y. Takeda, K. Hayasaka, R. Shiwaku, K. Yokosawa, T. Shiba, M. Mamada, D. Kumaki, K. Fukuda, S. Tokito, *Sci. Rep.*, **2016**, *6*, 25714.
- 7) P. A. Ersman, R. Lassnig, J. Strandberg, D. Tu, V. Keshmiri, R. Forchheimer, S. Fabiano, G. Gustafsson, M. Berggren, *Nat. Commun.*, **2019**, *10*, 5053.
- 8) K. Kobashi, R. Hayakawa, T. Chikyow, Y. Wakayama, *Adv. Electron. Mater.*, **2017**, *3*, 1700106.
- 9) K. Kobashi, R. Hayakawa, T. Chikyow, Y. Wakayama, *ACS Appl. Mater. Interfaces*, **2018**, *10*, 2762-2767.
- 10) K. Kobashi, R. Hayakawa, T. Chikyow, Y. Wakayama, *J. Phys. Chem. C*, **2018**, *122*,

- 6943–6946.
- 11) K. Kobashi, R. Hayakawa, T. Chikyow, Y. Wakayama, *Nano Letters*, **2018**, *18*, 4355-4359.
 - 12) D. Panigrahi, R. Hayakawa, K. Fuchii, Y. Yamada, Y. Wakayama, *Adv. Electron. Mater.*, **2020**, *7*, 2000940.
 - 13) D. Panigrahi, R. Hayakawa, Y. Wakayama, *J. Mater. Chem. C*, **2022**, *10*, 5559-5566.
 - 14) D. Panigrahi, R. Hayakawa, Y. Wakayama, *Adv. Funct. Mater.*, **2023**, *33*, 2213899.
 - 15) D. Panigrahi, R. Hayakawa, X. Zhong, J. Aimi, Y. Wakayama, *Nano Lett.*, **2023**, *23*, 319-325.
 - 16) R. Hayakawa, K. Honma, S. Nakaharai, K. Kanai, Y. Wakayama, *Adv. Mater.*, **2022**, *34*, 2109491.
 - 17) Y. Wakayama, R. Hayakawa, *Adv. Funct. Mater.*, **2020**, *29*, 1903724.
 - 18) Y. Wakayama, C.-H. Kim, D. Panigrahi, R. Hayakawa, *Mater. Adv.*, **2022**, *3*, 5260–5273.
 - 19) M. Boucherit, A. Soltani, E. Monroy, M. Rousseau, D. Deresmes, M. Berthe, C. Durand, J.-C. De Jaeger, *Appl. Phys. Lett.*, **2011**, *99*, 182109.
 - 20) S. Sakr, E. Warde, M. Tchernycheva, L. Rigutti, N. Isac, F. H. Julien, *Appl. Phys. Lett.* **2011**, *99*, 142103.
 - 21) T. P. E. Broekaert, W. Lee, C. G. Fonstad, *Appl. Phys. Lett.* **1988**, *53*, 1545.
 - 22) S. D. Vusser, S. Schols, S. Steudel, S. Verlaak, J. Genoe, W. D. Oosterbaan, L. Lutsen, D. Vanderzande, P. Heremans, *Appl. Phys. Lett.* **2006**, *89*, 223504.
 - 23) D. Jariwala, V. K. Sangwan, C.-C. Wu, P. L. Prabhumirashi, M. L. Geier, T. J. Marks, L. J. Lauhon, M. C. Hersam, *PNAS*, **2013**, *110*, 18076-18080.
 - 24) M. Huang, S. Li, Z. Zhang, X. Xiong, X. Li, Y. Wu, *Nat. Nanotech.*, **2017**, *12*, 1148-1154.
 - 25) B. Kim, *Adv. Electron. Mater.*, **2020**, *6*, 2000426.
 - 26) E. Wu, Y. Xie, Q. Liu, X. Hu, J. Liu, D. Zhang, C. Zhou, *ACS Nano* **2019**, *13*, 5430-5438.
 - 27) R. Hayakawa, S. Takeiri, Y. Yamada, Y. Wakayama, K. Fukumoto, *Adv. Mater.*, **2022**, *34*, 2201277.
 - 28) R. Hayakawa, S. Takeiri, Y. Yamada, Y. Wakayama, *Adv. Mater. Interfaces*, **2022**, *10*, 2201857.
 - 29) C.-H. Kim, R. Hayakawa, Y. Wakayama, *Adv. Electron. Mater.*, **2020**, *6*, 1901200.
 - 30) S.-W. Jo, J. Choi, R. Hayakawa, Y. Wakayama, S. Jung, C.-H. Kim, *J. Mater. Chem. C*, **2021**, *43*, 15415-15421.
 - 31) S. Lin, Y.-B. Kim, F. Lombardi, *IEEE Trans. Nanotechnol.*, **2011**, *10*, 217-225.
 - 32) M. Seo, C. Hong, S.-Y. Lee, H. K. Choi, N. Kim, Y. Chung, V. Umansky, D. Mahalu, *Sci. Rep.*, **2014**, *4*, 3806.
 - 33) Y. Lee, J. W. Lee, S. Lee, T. Hiramoto, K. L. Wang, *ACS Nano*, **2021**, *15*, 18483-18493
 - 34) S. J. Kim, J. J. Lee, H. J. Kang, J. B. Choi, Y.-S. Yu, Y. Takahashi, D. G. Hasko, *Appl. Phys. Lett.*, **2012**, *101*, 183101.
 - 35) G. M. Marega, Y. Zhao, A. Avsar, Z. Wang, M. Tripathi, A. Radenovic, A. Kis, *Nature* **2020**, *587*, 72-77.
 - 36) C. Liu, H. Chen, X. Hou, H. Zhang, J. Han, Y. G. Jiang, X. Zeng, D. W. Zhang, P. Zhou, *Nat. Nanotech.* **2019**, *14*, 662-667.
 - 37) Y. Wang, H. Tang, Y. Xie, X. Chen, S. Ma, Z. Sun, Q. Sun, L. Chen, H. Zhu, J. Wan, Z. Xu, D. W. Zhang, P. Zhou, W. Bao, *Nat. Commun.* **2021**, *12*, 3347.
 - 38) J. Aimi, P. H. Wang, C. C. Shih, C. F. Huang, T. Nakanishi, M. Takeuchi, H. Y. Hsueh, W. C. Chen, *J. Mater. Chem. C*, **2018**, *6*, 2724-2732.
 - 39) J. Aimi, T. Yasuda, C. F. Huang, M. Yoshio, W. C. Chen, *Mater. Adv.*, **2022**, *3*, 3128-3134.
 - 40) J. Aimi, C. T. Lo, H. C. Wu, C. F. Huang, T. Nakanishi, M. Takeuchi, W. C. Chen, *Adv. Electron. Mater.*, **2016**, *2*, 1500300.